

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-280368

(P2002-280368A)

(43)公開日 平成14年9月27日(2002.9.27)

(51) Int.Cl.
 H 01 L 21/3065
 21/768

識別記号

F I
 H 01 L 21/302
 21/90

テマコード(参考)
 E 5 F 0 0 4
 A 5 F 0 3 3

審査請求 有 請求項の数 6 OL (全 24 頁)

(21)出願番号 特願2002-7437(P2002-7437)
 (62)分割の表示 特願平11-107271の分割
 (22)出願日 平成11年4月14日(1999.4.14)
 (31)優先権主張番号 特願平10-341369
 (32)優先日 平成10年12月1日(1998.12.1)
 (33)優先権主張国 日本 (JP)

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71)出願人 000233077
 株式会社 日立インダストリーズ
 東京都足立区中川四丁目13番17号
 (72)発明者 白井 建人
 茨城県土浦市神立町502番地 株式会社日
 立製作所機械研究所内
 (74)代理人 100068504
 弁理士 小川 勝男

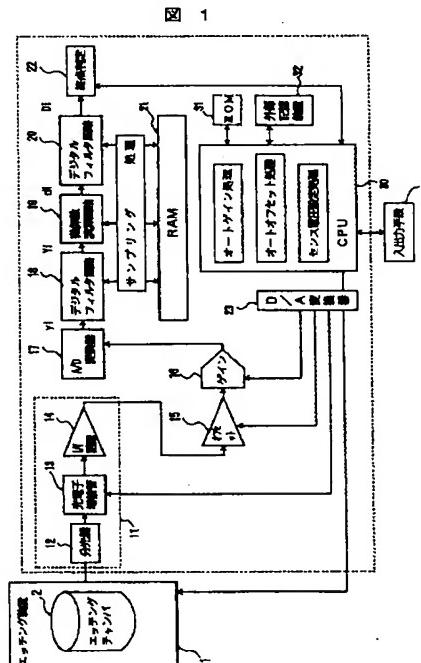
最終頁に続く

(54)【発明の名称】絶縁膜のエッティング方法

(57)【要約】

【課題】低開口率の半導体ウエハであっても、半導体ウエハのエッティング終点を安定に検出できる絶縁膜のエッティング方法を提供する。

【解決手段】シリコン酸化膜や低誘電率材料からなる $\text{SiO}_2 - \text{k}$ 膜を含む絶縁膜のエッティング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、入力信号波形を第1デジタルフィルタ18によりノイズを低減するステップと、演算回路19による微分処理により信号波形の微係数(1次または2次)を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタ20により低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段22により比較しエッティングの終点を判定するステップとを含む。



【特許請求の範囲】

【請求項1】シリコン酸化膜や低誘電率材料からなる $10w-k$ 膜を含む絶縁膜のエッチング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【請求項2】ドライエッティングのエッティング終点判定方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、入力信号波形を2次以上の高次係数を持つ第1デジタルフィルタ手段によりノイズを低減するステップと、多項式適合平滑化微分法微分処理（S-G法）により前記信号波形の1次微分係数と2次微分係数の時系列データを同時に求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を2次以上の高次係数を持つ第2デジタルフィルタ手段により低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【請求項3】ダマシングプロセスによる半導体デバイスの絶縁膜のエッティング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【請求項4】ダマシングプロセスによる半導体デバイスの絶縁膜のエッティング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、入力信号波形を2次以上の高次係数を持つ第1デジタルフィルタ手段によりノイズを低減するステップと、多項式適合平滑化微分法により前記信号波形の1次微分係数と2次微分係数の時系列データを同時に求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を2次以上の高次係数を持つ第2デジタルフィルタ手段により低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを含むことを特徴とする絶縁膜のエッティング方法。

定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【請求項5】半導体デバイスの絶縁膜のセルフアラインプロセスによるエッティング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【請求項6】半導体デバイスの絶縁膜のセルフアラインプロセスによるエッティング方法であって、エッティングの終点を判定してエッティングを終了するものにおいて、前記エッティングの終点判定の処理が、入力信号波形を2次以上の高次係数を持つ第1デジタルフィルタ手段によりノイズを低減するステップと、多項式適合平滑化微分法により前記信号波形の1次微分係数と2次微分係数の時系列データを同時に求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を2次以上の高次係数を持つ第2デジタルフィルタ手段により低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッティングの終点を判定するステップとを含むことを特徴とする絶縁膜のエッティング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁膜のエッティング方法に係り、特にプラズマ放電を用いたエッティング処理の終点を発光分光法により検出するのに好適なエッティングを用いた絶縁膜のエッティング方法に関するものである。絶縁膜としては、シリコン酸化膜（以後、単に酸化膜と称する。）や低誘電率材料からなる $10w-k$ 膜などがある。

【0002】

【従来の技術】半導体ウェハのドライエッティング処理中において、プラズマ光における特定波長の発光強度が、特定の膜のエッティング進行に伴って変化する。そこで、半導体ウェハのエッティング終点検出方法の一つとして、従来から、ドライエッティング処理中にプラズマからの特定波長の発光強度の変化を検出し、この検出結果に基づいて特定の膜のエッティング終点を検出する方法がある。その際、ノイズによる検出波形のふらつきに基づく誤検出を防ぐ必要がある。発光強度の変化を精度良く検出するための方法としては、例えば、特開昭61-5372

50 8号公報、特開昭63-200533号公報等が知られ

ている。特開昭61-53728号公報では移動平均法により、また、特開昭63-200533号公報では1次の最小2乗近似処理によりノイズの低減を行っている。

【0003】ところで、プラズマ放電によりエッチング処理されるウエハのエッティング終点判定を発光分光法により行うエッティング終点判定装置は、ウエハを処理する毎に堆積物付着等により検出信号が弱まり、例えば特開昭63-254732号公報に記載のように、安定したエッティング終点検出を行うため検出信号のゲイン値、オフセット値を変更することで検出信号を補正していた。また、例えば特公平4-57092号公報に記載のように、安定したエッティング終点検出を行うため、ゲイン、オフセット調整機能を附加することなしに、光電変換手段に取り込まれる検出信号を設定値に調整することで補正を行っている。

【0004】

【発明が解決しようとする課題】近年の半導体の微細化、高集積化に伴い開口率(半導体ウエハの被エッティング面積)が小さくなってしまっており、光センサーから光検出器に取り込まれる特定波長の発光強度が微弱になっている。その結果、光検出器からのサンプリング信号のレベルが小さくなり、終点判定部は、光検出器からのサンプリング信号に基づいてエッティングの終点を確実に検出することが困難になっている。

【0005】また、半導体デバイスの微細化が進むにつれて、配線間の電気的な絶縁を取るために使用されてきたシリコン酸化膜では電気容量が大きく、配線間の信号ロスが無視できなくなってきた。その解決策として、配線間の絶縁材料に低誘電率材料を使用し、配線間の電気容量を小さくする方法が開発されている。低誘電率材料(以後、 $10w-k$ 材と称する)の候補として種々の材料が開発されてきているが、たとえば、月刊Semiconductor World 1998.11号の74ページに記載のように、無機系 $10w-k$ 膜のFSG($k=3.3 \sim 3.6$)、HSQ($k=2.9 \sim 3.1$)、Xerogel($k=2.0$ 以下)が知られているし、有機系 $10w-k$ 膜としては、SiLK($k=2.6$)、BCB($k=2.6$)、FLARE($k=2.8$)、PAE($k=2.8$)や有機SOG($k=2.8 \sim 2.9$)、HSG($k=2.9$)などがある。

【0006】さらに、 $10w-k$ 膜を用いるとともに、化学的機械的研磨技術を用いた平坦化法(CMP)を使用するプロセスにより、従来の配線材料より電気抵抗の小さい銅による配線を可能にするダマシングプロセスが開発されつつある。

【0007】このダマシングプロセスでは、初めに配線間および層間の絶縁材料となる $10w-k$ 膜を形成した後、プラズマエッティングにより配線用の溝を形成し、かつ下層への電気的な接続を取るためにコンタクトホール

を2層間に形成するデュアルダマシン法が主流である。デュアルダマシン法のプロセスも最初にコンタクトホールをエッティングするか、あるいは溝をエッティングするかで工程が違うし、現在種々の方法が検討されている段階である。いずれにしても、 $10w-k$ 膜に溝やコンタクトホールをプラズマエッティングで形成する必要がある。このプラズマエッティングを高精度でしかも工程数の少ないプロセスを使用することができれば、歩留まり向上およびコスト削減にもつながるため、プラズマエッティングの特性(エッティング可能な工程および性能)を十分高めることが必要となる。

【0008】しかし、現在実際に製作したとして報告されているダマシン構造では、 $10w-k$ 膜に設けられる溝と穴の境界に窒化シリコン膜を挿入してエッティングのストッパー層としている。このため、ストッパー層の形成工程や、ストッパー層を挿入したことによる膜の誘電率上昇が問題となる。ストッパー層の誘電率が低ければ問題ないが、プラズマエッティングのストッパー層とするために、 $10w-k$ 膜とのエッティング選択比や密着性などの要求があり、現在では窒化シリコン層が一般的に使用されている。

【0009】また、ストッパー層を挿入しても膜厚を厚くすることは誘電率増加の観点から実施できないため、エッティングが進行してストッパー層に達したか否かを正確に判定しなければならない。通常の終点判定システムでも検出可能であるが、より高精度な判定が望まれる。さらに望むらくは、ストッパー層を挿入しない構造であるが、現状ではエッティングが困難となっている。

【0010】また、絶縁膜エッティング装置では、エッティングを繰り返すにつれてエッティング速度が低下するなどの経時的な変化が知られている。場合によっては、エッティングが途中でストップしてしまう場合もあり、その解決は必須である。それに加えて、エッティング速度の経時的な変動をモニタしておくこともプロセス安定稼動のために重要であるが、従来の方法では、単に終点判定の時間モニタのみである。しかも、エッティング時間が10秒程度と短い場合の終点判定は、判定準備時間を短くする終点判定方法としなければならないことと、判定時間の刻みも十分短くする必要があるが、必ずしも十分ではない。さらに、絶縁膜では、被エッティング面積が1%以下の場合が多く、エッティングにともなって発生する反応生成物からのプラズマ発光強度変化が小さい。したがって、僅かな変化も検出することのできる終点判定システムが必要になるが、実用的で安価なシステムは見当たらない。

【0011】次に、絶縁膜のコンタクトホールを形成するエッティングにおいて、リソグラフィの位置ズレを解消するため、セルフアラインコンタクト技術が開発されている。この技術における終点判定も最後のコンタクト部の被エッティング面積が1%以下と少ないため、プラズマ

発光強度変化の検出感度を十分高くしたシステムが必要であるが、安価で高精度という要求を満たした終点判定システムとはなっていない。

【0012】本発明の第1の目的は、低開口率の半導体ウエハであっても、半導体ウエハのエッチング終点を安定に検出できるエッチング終点判定方法を用いた絶縁膜のエッチング方法を提供することにある。

【0013】本発明の第2の目的は、プラズマ処理の、特にプラズマエッチング処理において、プラズマ発光の僅かな変化も検出可能で、しかも短時間で計測可能な終点判定システムを用い、半導体薄膜のプラズマエッチングの終点を検出することで、高度なエッチング結果を得る絶縁膜のエッチング方法を提供することにある。

【0014】本発明の他の目的は、発光強度のサンプリング信号にパルス状のノイズが乗った場合、例えば、放電電力の瞬時停止、不安定等でプラズマ状態が急変し発光強度に変調を来たした異常時でも終点判定の誤検出を無くすことのできるエッチング終点判定方法を用いた絶縁膜のエッチング方法を提供することにある。

【0015】本発明の他の目的は、プラズマ放電異常が起こったことを容易にエッチング処理の履歴として表示することのできるエッチング終点判定方法を用いた絶縁膜のエッチング方法を提供することにある。

【0016】本発明の他の目的は、半導体デバイスの絶縁膜エッチング工程の終点を高精度に計測できる方法もしくはシステムを用い、その性能を利用してダマシンプロセスおよびセルフアラインプロセスのエッチングを高精度に実施するエッチング方法を提供することにある。

【0017】本発明の他の目的は、ダマシンプロセスのストッパー層までの時間やセルフアラインコンタクトプロセスのゲート上の絶縁膜までのエッチング時間を計測してエッチング速度を求め、かつその変動をモニタし、エッチング装置の経時的な変化によるエッチング不良を防止することにある。また、ダマシンプロセスのストッパー層に達した時間を正確に判定することで薄い窒化シリコン層の削れを抑制し、実質的な選択比を向上させることにある。

【0018】本発明の他の目的は、ダマシンプロセスやセルフアラインコンタクトプロセスの下地の上に形成された窒化シリコン層を除去する工程において、エッチングは短時間で終了するが、終了時間を正確に判定して下地層のエッチングが過剰に進むのを抑制し、デバイスの性能低下を抑制することにある。

【0019】

【課題を解決するための手段】本発明の特徴は、シリコン酸化膜や低誘電率材料からなるlow-k膜を含む絶縁膜のエッチング方法であって、エッチングの終点を判定してエッチングを終了するものにおいて、前記エッチングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分

処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッチングの終点を判定するステップとを含むことにある。

【0020】本発明の他の特徴は、ダマシンプロセスによる半導体デバイスの絶縁膜のエッチング方法であって、エッチングの終点を判定してエッチングを終了するものにおいて、前記エッチングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッチングの終点を判定するステップとを含むことある。

【0021】本発明の他の特徴は、半導体デバイスの絶縁膜のセルフアラインプロセスによるエッチング方法であって、エッチングの終点を判定してエッチングを終了するものにおいて、前記エッチングの終点判定の処理が、判定入力信号波形を第1デジタルフィルタによりノイズを低減するステップと、微分処理により信号波形の微係数（1次または2次）を求めるステップと、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減して平滑化微係数値を求めるステップと、該平滑化微係数値と予め設定された値とを判別手段により比較しエッチングの終点を判定するステップとを含むことある。

【0022】本発明の他の特徴は、発光強度の微係数の時系列データによりエッチングの終点を判定するものにおいて、前記微係数の時系列データの変遷を表示手段に表示し、異常検出時に前記微係数の時系列データの表示上に異常を示す表示を加えるステップを含むことにある。

【0023】本発明によれば、発光強度の変化を精度良く算出することができるので、非常に安定性のよいエッチング処理終点を判定する方法を提供することができる。また、終点判定のための微係数算出処理を行う終点判定において、微係数算出処理の前段と後段にデジタルフィルタリング処理を設けることにより、効果的に光検出器からのサンプリング信号のノイズ低減が行え、安定性の良い終点判定が可能となる。

【0024】また、エッチング処理異常時に前段のデジタルフィルタリング処理と微係数算出処理及び後段のデジタルフィルタリング処理において係数補正処理を設けることにより、より効果的に光検出器からのサンプリング信号のノイズ低減が行え、安定性の良い高精度な終点判定が可能となる。

【0025】さらに、微分係数表示において、エッティング処理異常時、特徴ある色彩を持った配色によりゼロまたは、予め設定された表示位置に描画すれば、エッティング処理中の異常監視を容易にする、優れた装置を提供することができる。

【0026】また、本発明によれば、終点判定を正確に実行できるので、時間管理のエッティングに比較して、オーバーエッティングを少なく設定できるという効果がある。その結果、過剰な下地層の削れを抑制できる。また、オーバーエッティング時間を短縮できるので、その分のスループット向上が期待できる。さらに、エッティング時間の経時的な変化をモニタできるので、エッティング装置の異常を早期に発見することができ、エッティング不良の大量発生を未然に防止できるという効果がある。

【0027】また、本発明によれば、目標とする光電子増倍管の出力電圧に対しセンス電圧値を、関係式を用いて導き使用することで、目標とする光電子増倍管の出力電圧に対しセンス電圧値を正確に求めることができる。従って、開口率が小さい半導体ウエハであっても、半導体ウエハのエッティング終点を安定に検出するためのエッティング終点検出に用いる信号を、ウエハ間でばらつくことなく一定値へ再現性よく制御することができる。

【0028】さらに、本発明の終点判定システムを用いることにより短時間で判定準備が可能であり、しかもわずかなプラズマ発光強度変化も検出できるので、被エッティング面積の小さい絶縁膜エッティングの終点判定に適用できる。

【0029】

【発明の実施の形態】以下、本発明の第1の実施例を説明する。まず、図1を用いて、半導体ウエハのエッティングを説明する。まず、図1を用いて、半導体ウエハのエッティング装置1及びエッティング終点検出装置10の構成概要を説明する。

【0030】エッティング装置1は、エッティングチャンバ2の内部に導入されたエッティングガスがマイクロ波電力等により分解しプラズマとなり、このプラズマにより半導体ウエハがエッティングされる。エッティング終点判定検出装置10は、半導体ウエハのエッティング処理中にエッティングチャンバ2内に発生するプラズマ光を検出し、その状態に基づき終点判定の処理を行う。エッティング終点判定検出装置10は、光検出器11、オフセット(加算回路)15、ゲイン(乗算回路)16、A/D変換器17、デジタルフィルタ回路18、微係数演算回路19、デジタルフィルタ回路20、RAM21、判定回路22、D/A変換器23およびCPU30を備えている。CPU30で実行される、オートオフセット/オートゲイン制御処理、センス電圧設定処理、平滑化処理を含むサンプリ*

$$y_i = I_i + d_i$$

但し、 I_i はオフセットゼロで低ゲイン、 d_i はオフセットゼロで高いゲイン。次に、光検出器11のセンス電圧

*ング処理及び終点判定処理に対応するプログラムは、ROM31に保持されている。32は外部記憶装置、33は入出力装置である。

【0031】光検出器11は、エッティング処理中にエッティングチャンバ2内に発生したプラズマからの特定波長の発光を分光器12にて得た後、光ファイバを介して光電子増倍管13へ取り込む。取り込んだ特定波長の発光強度は、光電子増倍管13により発光強度に応じた電流検出信号となり、I/V変換器14にて電圧信号へ変換される。またI/V変換器14の電圧信号に対して差動回路(オフセット)15、增幅回路(ゲイン)16をかける。

【0032】A/D変換器17によりサンプリング信号として出力された信号は、時系列データ y_i としてRAM21に収納される。時系列データ y_i はデジタルフィルタ回路18により平滑化処理され平滑化時系列データ Y_i としてRAM21に収納される。平滑化時系列データ Y_i は、微係数演算回路19により微係数値(1次微分値あるいは2次微分値)の時系列データ d_i が算出され、RAM21に収納される。微係数値の時系列データ d_i は、デジタルフィルタ回路20により、平滑化処理され平滑化微係数時系列データ D_i としてRAM21に収納される。平滑化微係数値は、判定回路22により予め設定されている値と比較され、これらの生波形信号または演算波形信号を使用してエッティングの終点検出を行う。この生波形信号および演算波形信号は、エッティングチャンバ1でウエハを処理する毎にエッティングチャンバ1内に堆積物付着等により検出信号が弱くなり、ウエハ毎に終点を検出する条件が変化してしまう。そこで光電子増倍管13の出力電圧を制御するセンス電圧と增幅回路16のゲインの二つを変化させることによりウエハ毎の検出信号を同一にし、同一条件でエッティングの終点検出を行うことができる。本発明のエッティング終点判定検出装置10は、図に示すように、オートオフセット/オートゲイン制御処理、センス電圧設定処理、平滑化処理を含むサンプリング処理及び終点判定処理の各機能を有する。これらの処理について、図2以下で説明する。

【0033】エッティング処理開始に伴い、サンプリング開始命令が出される(100)。エッティングの進行に従って変化する特定波長の発光強度が、光検出器により発光強度に応じた電圧の光検出信号として検出される。この光検出信号は、A/D変換器によりサンプリング信号 1_i としてデジタル値に変換され、RAMに収納される。A/D変換時のオートオフセット/オートゲイン制御において、次式(1)の時系列データ y_i を求める(101)。

【0034】

$$\dots\dots (1)$$

設定時間以内か判断する(102)。もし、電圧設定時間の時、センス電圧設定の処理に進む(103)。セン

ス電圧設定時間以降の時は、時系列データ y_i が予め設定された値、例えば 4 V 以上か否か判断する (106)。時系列データ y_i が 4 V 以上のときは、センス電圧を時系列データ y_i が予め設定された、例えば 0.6 V 以下に変更する (107)。時系列データ y_i が 4 V 未満のときは、平滑化処理に進む。

【0035】すなわち、第1段目のデジタルフィルタによりノイズを低減し、平滑化時系列データ y_i を求める (108)。次に、微分処理 (S-G法) により信号波形の微係数 (1次または2次) d_i を求める (109)。さらに、上記時系列微係数波形のノイズ成分を2段目のデジタルフィルタにより低減した平滑化微係数時系列データ D_i を求める (108)。そして、予め設定された終点判定レベル L を用いて、 $(D_i - L) * (D_{i-1} - L)$ を求める (111)。

【0036】次に、 $(D_i - L) * (D_{i-1} - L)$ 符号の $y_i - y_{s0} \leq y_s \leq y_i + y_{s0}$

本発明によれば、オートセンスすなわち、光電素子の特性を利用し、光信号強度を最適化することができる。これにより、光信号強度を高速に最適レベルに設定できる。このオートセンスは、ステップエッティング時に効果が大きい。

【0039】サンプリング信号 I_1 の検出精度は、増幅回路 16 のゲインと AD 変換器 17 の分解能により制限される。例えば、ゲイン 1 の増幅回路と制限電圧 ±10 V で分解能 12 ビットの AD 変換器を用いた場合、最小分解電圧は $4.88 \mu\text{V}$ であり、光検出信号が約 2.5 V の変動検出精度は、0.2% ($0.0488 \mu\text{V} / 2.5 \text{ V}$) となり十分な検出精度になっていない。そこで、前記差動回路 4 のオフセット値と前記増幅回路 5 のゲイン値を制御することにより検出精度の高精度化を行う。

【0040】図 3 に、差動回路 15 のオフセット値制御および増幅回路 16 のゲイン値制御のフローチャートを示す。サンプリング開始命令 100 により、まず、差動回路 15 のオフセット値をゼロに設定 (1010)、増幅回路 16 のゲイン値は 1 に設定する (1011)。AD 変換器 17 により光検出信号のデジタル変換されたサンプリング信号 I_1 を取得する (1013)。このサンプリング信号 I_1 を RAM 21 に収納する (1014)。

【0041】次に、CPU 30 は前記サンプリング信号値 I_1 を用いて、DA 変換器 23 より差動回路 15 のオフセット値を設定する (1015)。そして、増幅回路 16 のゲイン値を予め設定された値に設定する (1016)。次のステップにおいて、光検出器 11 の光検出信号は、前のステップで設定された差動回路 15、増幅回路 16 を介して、AD 変換器 17 によりデジタル変換され、サンプリング信号 ΔI_1 を取得する (1017)。次のステップにおいて、CPU 30 はすでに収納したサンプリング信号 I_1 と ΔI_1 の加算値を光検出信号の

* 正負判定により、エッティングプロセスの終点判定処理を行う (112)。すなわち、負であれば真と判定し、サンプリングを終了する (113)。もし、正あれば最初のステップ 101 に戻る。

【0037】次に、センス電圧設定の処理 (103) では、光検出器 11 のセンス電圧と出力電圧の関係式から、平滑化時系列データ y_i と検出器の暗電流値を用いて、平滑化時系列データ y_i が予め設定された電圧 y_s となるセンス電圧を算出する (104)。さらに、設定されたセンス電圧において、平滑化時系列データ y_i が、次式 (2) のように、予め設定された電圧 y_s となっているかどうかをチェックし、なっていなければ、センス電圧を変更し (105)、最初のステップ 101 に戻る。

【0038】

$$y_{s0} = 0.1 \text{ V} \quad \dots \dots (2)$$

時系列データ y_i として RAM 21 収納する (1018)。CPU 30 は収納される時系列データ y_i を基に四則演算を行い、時系列データ y_i の信号強度比較演算や微分処理演算などを行う。

【0042】本発明のオートオフセット制御は、次の点に特徴がある。

【0043】1) オフセット値と差動増幅値との和により入力信号の絶対値を求める。

【0044】2) 入力信号の絶対値は毎ステップ、オフセット値を求め、そのオフセット値より差動増幅値を検出する。

【0045】3) オフセット値は AD 変換のゲインを低ゲインに設定して検出する。

【0046】4) 差動回路へのオフセット値は DA 変換器の分解能より 1 ビット切捨て、設定する。

【0047】本発明のオートオフセット制御は、AD 変換器の差動増幅回路を利用し、AD 変換器の分解能を最大限に引き上げる方法に特徴がある。

【0048】すなわち、最初のステップで、入力信号波形を低ゲイン動作にて AD 変換し信号電圧の大まかな絶対値を求める。そして次のステップで、AD 変換器の差動増幅回路への入力電圧を、DA 変換器の分解能を考慮して、求める (10 mV 以下を切捨て)。さらに、前のステップで求めた AD 変換器への入力電圧 V_o を、DA 変換器より出力する。

【0049】さらに、入力信号の差動波形を高ゲイン動作にて AD 変換し、差動信号電圧 V_1 を高精度に求める。そして、次のステップでは、前の 2 つのステップで求めた電圧値を合成する。

【0050】電圧: $V = V_o + V_1$
本発明のオートオフセット制御によれば、信号波形の時間変化を高精度に AD 変換可能となる。すなわち、AD 変換器の最大変換領域測定モードで計測することにより

入力波形強度の大きな信号に対応できる。

【0051】また、A/Dにおけるビット量子化誤差を低減できる。さらに、D/A変換におけるビット量子化誤差も低減できる。また、差動増幅の結果、出力される信号レベルは低くなりA/D変換器のゲインを最大限に上げ高精度に計測できる。さらに、入力信号波形の値を高精度に測定できる。

【0052】なお、本発明のオートオフセット制御は、EPD等の光信号だけでなく、バイアス信号、圧力信号、流量信号など電気信号のA/D変換処理に適応可能である。また、A/D変換器のダイナミックレンジを拡張できる。

【0053】図4に、オフセット制御およびゲイン制御を行わない従来例の発光変動測定結果例を示す。図5に、本発明のオフセット制御およびゲイン制御を行った場合の発光変動測定結果例を示す。図から本発明の適用により発光変動検知精度が約0.5%より約0.02%に向かっていることがわかる。そのため、終点判定に用いる微係数時系列データを精度良く求めることができ、*

$$I = H v^a \quad (\text{例えば } a = 7.5) \quad \dots \dots (3)$$

光電子増倍管13の高電圧Hvを直接求めることが出来ない場合、例えば、CPUによりコントロールされるセンス電圧Vを式4にて変換することにより光電子増倍

$$Hv = 50 \times V + 400$$

従って、式3に式4の関係を利用することにより、ある発光量に対して期待する光電子増倍管13の出力を得るためのセンス電圧Vを求めることができる。この関係は★

$$V_1 = Hv_0 / 50 * \exp(1/a \times \log(I_1 / (I_0 - I_a)) - 8) \\ (\text{ただし } Hv_0 = 50 \times V_0 + 400) \quad \dots \dots (5)$$

ここでI₁は目標とする光電子増倍管13の出力電圧、V₁はその時のセンス電圧、I₀は初期の光電子増倍管の出力電圧、I_aは光電子増倍管の暗電流による出力電圧、V₀はその時のセンス電圧である。

【0059】光電子増倍管には暗電流があり、センス電圧が小さい場合には光電子増倍管の出力電圧に暗電流が及ぼす影響が大きい。例えば、I₀は初期の光電子増倍管の出力電圧でありこの時のセンス電圧が非常に小さい値であるならば式5のようにI₀から暗電流による光電子増倍管の出力電圧I₀を減算することにより、求めるセンス電圧が正確に求めることができる。

【0060】この暗電流を求めるタイミングであるが、例えばウエハがチャンバへ搬入後プラズマ発生前に測定する、もしくはウエハがチャンバへ搬入されていない時に暗電流を測定する方法がある。

【0061】以上の手法で求めたセンス電圧V₁を設定することにより目標とする光電子増倍管13の出力電圧が出力できる。また增幅回路16のゲインは通常固定値倍とする。

【0062】センス電圧には限界があり、センス電圧の最大値を設定しても目標とする光電子増倍管の出力電圧

* エッティング処理の終点判定を安定に行えると言う効果がある。さらに、本発明により求められる時系列データy_tはプラズマ発光がない場合をゼロとし、エッティング処理が行われている状態では、時系列データy_tは必ずゼロより大きな値をもつ。そのため、得られた時系列データy_tを基に四則演算する場合、ゼロ割り除算の回避処理を特別に設ける必要がなく、終点判定処理プロセスが簡素になり、ソフト的な誤作動を低減するという効果がある。

10 【0054】次に、センス電圧設定の処理について説明する。

【0055】図1において、D/A変換器23を介して光電子増倍管13のセンス電圧を変化させると、光電子増倍管13の出力電圧を制御できる。図6に、光電子増倍管13の増倍率特性を示す。光電子増倍管13の高電圧Hvに対する高電圧増倍管13の出力電圧Iはべき乗の関係にあり、その関係は次式3により求められる。

【0056】

※管13の高電圧Hvを求めることができる。

【0057】

..... (4)

★式3、式4より式5にて表される。

【0058】

30 I₁が出力されない場合は、通常固定値倍のゲインを調整することで演算波形信号を増幅させる。例えば、目標とする光電子増倍管13の出力電圧が2Vであった場合、センス電圧を最大値に設定したときの出力電圧が1Vであるとしたならば、増幅回路16のゲインは通常の固定値×2倍のゲインを設定すること(ゲイン補正)で、エッティング終点検出に用いる演算波形信号を同一とすることができる。

【0063】図7に、センス電圧値、ゲイン値を求めるフローチャートの一例を示す。波形調整実施命令(1031)によりセンス調整およびゲイン補正を行う。波形調整実施命令(1031)により現在のセンス電圧値取得(1032)および現在の生波形信号値取得(1033)する。生波形信号が例えば目標電圧値2Vになるように上記で取得したセンス電圧値および生波形信号値と数3を用いてセンス電圧値を求める(1034)。D/A変換器23より光電子増倍管13に求めたセンス電圧値を出力し(1035)、調整の効果が現れるのに必要な時間だけ待つ(1036)。その後、目標電圧値2Vと現在の生波形信号値とを比較し誤差が基準以内かどうかの判定(1037)を行い基準以内であればセンス調整

40 40 50

終了とする(1038)。

【0064】誤差が基準を外れていた場合は、以下のステップを踏む。まず、上記出力したセンス電圧値が最大値以上かどうかの判定を行い(1039)、最大値以上の場合は現在の生波形信号値と2Vを比較し比率を通常設定しているゲイン値に乘算(ゲイン補正)し(1040)、センス調整及びゲイン補正終了とする(1041)。上記出力したセンス電圧値が最大値となっていなければ、センス電圧値を現在より0.1V増減させセンス電圧値を出力する(1042)。センス調整に要した時間が一定基準時間以上かどうかの判定を行い一定基準時間以上(1043)であればセンス調整終了(1038)とし、基準時間未満であれば、目標電圧値2Vと現在の生波形信号値との比較(1037)へ戻りループとなる。このループは例えば0.1秒周期である。

【0065】図8にセンス電圧およびゲイン補正を行った他の実施例のフローチャートを示す。基本的な処理の流れは図7に示したものと同様である。センス値がオーバーフローした場合(1039)、もしくはセンス調整に一定時間経過した場合(1043)は、目標とする生波形の出力電圧、例えば2Vと現在の生波形信号値の比をとり、メモリ内に記憶する。

【0066】また、その時のセンス電圧値もメモリ内に*

$$Y_i = b_1 y_i + b_2 y_{i-1} + b_3 y_{i-2} \quad \dots \dots \quad (6)$$

ここで、係数 b_1, b_2, b_3 は、サンプリング周波数及びカットオフ周波数により数値が異なる。例えば、サンプリング周波数10Hz、カットオフ周波数1Hzの時、 $a_2 = -1.143, a_3 = 0.4128, b_1 = 0.067455, b_2 = 0.13491, b_3 = 0.067455$ となる。

$$d_i = \sum_{j=-2}^{j=2} w_j Y_{i+j} \quad \dots \dots \quad (7)$$

ここで、 $w_{-2} = 2, w_{-1} = -1, w_0 = -2, w_1 = -1, w_2 = 2$ である。S-G法の係数の算出は、参考文献：A. Savitzky, M. J. E. Golay著“Analytical Chemistry”36(1964)p 1627に示されている。

$$D_i = b_1 d_i + b_2 d_{i-1} + b_3 d_{i-2} \quad \dots \dots \quad (8)$$

【0072】図10に、比較例として、エッティング中の元波形及びデジタルフィルタ回路18とデジタルフィルタ回路20を使用しないで求めた2次微係数時系列データ d_i を示す。サンプリング時系列データより処理開始から4.2秒でエッティングの終点を迎えていることがわかるが、2次微係数時系列データ d_i からは、ノイズのためその判定が不正確となった。

【0073】図11に、本発明によるデジタルフィルタ回路18とデジタルフィルタ回路20を使用した場合の波形変化を示す。図より、平滑化2次微係数時系列データ

* 記憶する。センス値には求めたセンス電圧値を出し、ゲインは固定値のままとする。このままでは、目標の2Vにはならないが、マイクロコンピュータのプログラム内で2Vと現在の生波形信号値の比を踏まえた計算を行うことによりセンス調整終了(1038)とする。

【0067】以上本実施例のエッティング終点判定装置では、数3を使用することで光電子増倍管13の目標出力電圧に対するセンス電圧値を正確に求めることができるため、ゲインが通常一定値となり、ゲインによるウエハ毎のS/N比及び暗電流の増幅のばらつきを抑えることができる。また、センス電圧値がオーバーフローした場合でもゲイン値で補正、または目標出力電圧と現在出力電圧との比をプログラム内部で補正することにより、目標となる演算波形を求める所以であるので、安定性のよいエッティング終点判定を行うことができる。

【0068】次に、図9により、本発明の平滑化微係数時系列データ D_i の算出フローを説明する。デジタルフィルタ回路18としては、2次バタワース型のローパスフィルタを用いる。2次バタワース型のローパスフィルタにより平滑化時系列データ Y_i は式(6)により求められる。

【0069】

※【0070】2次微係数値の時系列データ d_i は、微係数演算回路6により5点の時系列データ Y_i の多項式適合平滑化微分法(S-G法)を用いて式(7)から以下のように算出される。

※30

★【0071】前記微係数値の時系列データ d_i を用いて、平滑化微係数時系列データ D_i はデジタルフィルタ回路7(2次バタワース型のローパスフィルタ、但し、デジタルフィルタ回路5の a, b 係数とは異なっても良い)により式(8)により求められる。

★

タ D_i はノイズが低減され、明確なエッティング処理の終点が求まり終点判定が安定に行われた。このように微係数演算回路19にデジタルフィルタ回路18とデジタルフィルタ回路20を備えることにより、微係数時系列データのノイズを効果的に低減できる。そのため、終点判定に用いる微係数時系列データを精度良く求めることができ、エッティング処理の終点判定を安定に行えると言う効果がある。

【0074】本発明の他の実施例を、図12～図14を用いて説明する。エッティング終点判定方法は前の実施例

と同様である。ここでは、エッティング処理中にエッティング異常が起こり発光強度のサンプリング信号にパルス状のノイズが乗った場合の処理について説明する。図12は、時間2.5秒～3.5秒の間にパルス状のノイズが乗った場合の前の実施例の処理手順に従って算出した2次微分波形を示す。図より、平滑化時系列データ Y_i に大きな大きなアンダーシュートが現れ、その影響により、平滑化2次微分値波形が不正確となることがわかる。

【0075】そこで、本実施例では図13のダイアグラムに示すように、平滑化2次微係数時系列データ D_i 算出処理手順を一時中断し、異常時処理を行うものである。今、 $i = m$ で異常が発生した場合に、デジタルフィルタ回路18により平滑化処理され、平滑化時系列データは $Y_{m-1} = y_m$ 、 $Y_m = y_m$ と代入される。また、 $i = m+1$ ステップ目では $Y_{m+1} = y_{m+1}$ とする。 $i = m+2$ ステップ目の Y_{m+3} は、前記デジタルフィルタ回路18の2次バタワースローパスフィルタリング処理により求める。 $i = m+3$ ステップ目では、 Y_i の5点データ列を用い、微係数演算回路19により微係数値の時系列データ d_{m+1} を演算し、その値を d_{m-1} 、 d_m 、及び D_{m-1} 、 D_m に代入する。

【0076】これらの値を用いて、平滑化処理され平滑化微係数時系列データ D_{m+1} を求める。 $i = m+4$ 以降は図9に示した処理手順に従って平滑化微係数時系列データを算出する。この異常時処理手順により過去の時系列データ変化を無した平滑化微係数時系列データを異常発生から3ステップ目より得ることができる。

【0077】図14に、前記異常時処理を施した場合の平滑化時系列データ Y_i と平滑化2次微分値波形 D_i を示す。図より2次微分値のゼロを通過する時刻（パルス状の異常が無い場合は4.5秒であり、本処理では4.56秒となる）が、図12と異なり、より正確に求めていることがわかる。この様に、異常時処理を行うことにより、パルス状の発光強度変動がある場合でも、発光変動の影響を短時間に低減できるため、終点判定に用いる微係数時系列データを精度良く求めることができ、エッティング処理の終点判定を安定に行えると言う効果がある。

【0078】本発明は、デジタルフィルタを利用し、微分処理（S-G法）を採用しているため、光信号に含まれるノイズ（光受光素子のショットノイズ、プラズマ光変動など）を低減できる。

【0079】本発明の微分処理によれば、まず、入力信号波形を第1デジタルフィルタによりノイズを低減する。次に、微分処理（S-G法）により信号波形の微係数（1次または2次）を求める。さらに、前のステップで求めた時系列微係数波形のノイズ成分を第2デジタルフィルタにより低減する。

【0080】また、本発明によれば、瞬間的に（サンプ

リング間隔）、生信号レベルの変化量が設定値を超えた場合、異常時処理がなされる。

【0081】すなわち、微分値平滑化信号の終点判定処理を中断し、微分値平滑化信号の表示処理を中断し、表示画面に異常を表示する。もし、生信号レベルの変化量が設定値以下であれば、最初のステップの平滑化信号時系列を過去に2ステップ下がり現時点の値を代入する。さらに、微分値信号と微分値平滑化信号に対し、S-G法の次数ステップ過去に下がり現時点の値を代入する。

10 【0082】本発明の異常時処理によれば、デジタルフィルタのフィルタ特性を制御することにより、ノイズ低減レベルと時間応答特性を設定できる。

【0083】また、S-G法の微分処理により直接、1次または2次の微係数を算出するため、数学的に精度の高い微分値を高速処理できる。また、微分値に含まれるノイズ成分を除去できる。（整数処理時の効果大）

さらに、異常時後の高速微分処理ができ、かつ、異常時の履歴を容易に表示できる。また、異常後の高速微分処理も可能である。

20 【0084】本発明の異常時処理によれば、光信号以外の装置信号からの異常フラグとの併用可能である。また、デジタルフィルタ処理はアナログフィルタと異なり、いつでも生信号を演算処理に組み込める。さらに、ステップエッティング時に効果が大きい。

【0085】本発明の他の実施例は、前の実施例において異常が発生した時点 m 及び $m-1$ ステップ目を表示する表示方法に関するものである。通常、エッティング処理中はエッティング処理の様子をいつでもモニタできる表示装置のモニタ画面に微係数時系列データを描画している。例えば、モニタ画面は、図11、図14の（b）のようなものである。

30 【0086】異常が発生した時点 m 及び $m-1$ での平滑化微係数時系列データ D_{m-1} 、 D_m はRAM9に補正された値が収納され、つぎのステップ平滑化微係数時系列データを求めるために利用される。しかし、エッティング処理の推移を表示するモニタ画面においては、特徴ある色彩を持った配色でゼロあるいは予め設定された表示位置に描画する。これにより、エッティング異常がモニタ画面上に記憶されるため、エッティング異常の履歴が表示装置上に残り、異常をリアルタイムにできる監視できると言う効果がある。

40 【0087】以上、本実施例のエッティング終点判定検出方法は、発光強度の変化を精度良く算出することができる。本方法を用いたエッティング終点判定検出方法は非常に安定性のよいエッティング処理終点を判定する方法を提供することができる。

【0088】図15に、本発明の他の実施例になる終点判定制御のフローチャートを示す。この実施例では、2波長の比較による終点判定を行う。

50 【0089】エッティング処理開始に伴い、サンプリング

開始命令が出される(100)。エッティングの進行に従って変化する特定波長の発光を光検出信号として検出する。この光検出信号は、A/D変換器によりサンプリング信号 i_1 としてデジタル値に変換され、RAMに収納される。A/D変換時にオートオフセット/オートゲイン制御がなされる(101, 101')。次に、光検出器11のセンス電圧設定時間以内か判断する(102, 102')。もし、電圧設定時間の時、センス電圧設定の処理(103)に進む。センス電圧設定時間以降の時は、時系列データ y_i , y'_i が4V以上か否か判断する(106, 106')。時系列データ y_i , y'_i が4V以上のときは、センス電圧を0.6V以下に変更する(107)。時系列データ y_i , y'_i が4V未満のときは、平滑化処理に進む。

[0090] 平滑化処理では、まず、時系列データ y_i と y'_i との比を算出する(120)。第1段目のデジタルフィルによりノイズを低減し、平滑化時系列データ y_i を求める(108)。次に、微分処理(S-G法)により信号波形の微係数(1次または2次) d_i を求める(109)。さらに、上記時系列微係数波形のノイズ成分を2段目のデジタルフィルタにより低減した平滑化微係数時系列データ D_i を求める(108)。そして、予め設定された終点判定レベル L を用いて、 $(D_{i-1} - L) * (D_{i-1} - L)$ を求める(111)。

[0091] 次に、 $(D_{i-1} - L) * (D_{i-1} - L)$ 符号の正負判定により、エッティングプロセスの終点判定処理を行う(112)。すなわち、負であれば真と判定し、サンプリングを終了する(113)。もし、正あれば最初のステップ101に戻る。

[0092] なお、センス電圧設定の処理(103)は、図2と同じなので説明を省略する。

[0093] 以上述べた本発明の終点判定処理システムによれば、半導体デバイスの絶縁膜エッティング工程の終点を高精度に計測できる。従って、このシステムを利用して、ダマシンプロセスおよびセルフアラインプロセスのエッティングを高精度に実施する方法を提供することができる。以下、このようなシステムを利用した半導体デバイスの製造プロセスを説明する。

まず、図16から図19は代表的なダマシンプロセスの工程を示したものである。図16はセルフアラインデュアルダマシン、図17は溝を先に加工するプロセス、図18は穴を先に加工するプロセス、図19は穴と溝の境界層が形成されていない場合のプロセスである。図19に示したプロセスは最も工程数が少なく、理想的なプロセスであるが、穴と溝の境界面が形成されていないため、ウェハ面内のエッティング速度均一性やエッティング速度の再現性など、エッティング特性への要求が厳しく、量産プロセスで採用する上で解決しなければならない課題が多い。

[0094] 図16のセルフアラインデュアルダマシン

の例でダマシンプロセスの工程について説明する。先ず穴を加工するために、レジスト201に露光現像により穴があけられる。レジストの下には、塗化シリコン膜202、low-k膜203、塗化シリコン膜204、下層の配線となる下地205が形成されている。始めに、レジスト201に穴の形状に対応したマスクを露光現像により形成し、次に、プラズマエッティングでストッパー層となる塗化シリコン膜202にレジスト201の穴に対応した開口部を形成する。次に、レジスト201を除去し、塗化シリコン膜202の上にlow-k膜206、酸化膜207を形成する。このlow-k膜206は上部の配線層間絶縁膜になる。

[0095] 次に、酸化膜207の上に溝加工用のレジストマスク209を露光現像で形成し、プラズマエッティングで酸化膜207とlow-k膜206をエッティングする。この時のエッティングは、low-k膜206の下地に相当するストッパー層の塗化シリコン層202で停止する。次に、酸化膜207を溝208のマスクとし、塗化シリコン膜202を穴のマスクとしてプラズマエッティングすると、穴210が形成される。最後に下地205とのコンタクトを取るため、塗化シリコン膜204をエッティングする。この後、開口部(穴210)にアルミニウムや銅などの配線材料を埋め込み、上部を平坦化して配線が形成される。

[0096] セルフアラインデュアルダマシンのプラズマエッティングで問題となるのは、ストッパー層の塗化シリコン膜202が厚いと全体としての誘電率が高くなってしまうため、数nm程度に薄膜化されることにある。非常に薄い膜なので、low-k膜との選択比を高くしなければならない。また、エッティング速度の均一性や再現性が悪いと、オーバーエッチを過剰に実施しなければならず、これも選択比を高くしなければならない理由となる。

[0097] 本発明においては、low-k膜206、203のエッティング時間を終点判定システムにより判定し、所定のオーバーエッティングを施した後、エッティングを終了する。この場合、短時間の時間刻み、好ましくは0.1s程度の時間刻みで終点を判定することが要求される。なぜなら、ストッパー層の塗化シリコン膜202や204が数nmと非常に薄いためである。

[0098] 本発明の終点判定方法を用いることにより、low-k膜のエッティングが終了し塗化シリコン膜まで達した時間を正確に判定することができるので、ストッパー層の塗化シリコン202が必要以上にエッティングされるのを防止することができる。

[0099] さらに、本発明では、下地205の上に形成された塗化シリコン膜204をエッティングするのに終点判定システムでエッティング終了時間を判定し、所定のオーバーエッティングを施した後、エッティングを終了する。本発明の方法により、下地205のエッティングを少

なくすることが可能になるが、このための終点判定システムには、前述の短時間で終点を判定できる機能の他に、プラズマが点灯してエッティングが開始してから終点判定が可能になるまでの準備時間が短くなければならない。この時間は好ましくは5s以下が望ましい。この様な短時間でかつ短い時間刻みで終点が判定できること、10s程度でエッティングが終了する場合も、エッティング終点判定によるオーバーエッティング量の設定が可能になり、下地205の削れも制御できる。

【0100】次に、図17、図18は、ダマシンプロセスの工程の他の例を示したものである。図17は溝を先に加工するプロセス、図18は穴を先に加工するプロセスであり、図17と図18は、穴を先に加工するか溝にするかの違いであり、本発明の適用に関しては上述の内容と同じである。いずれの場合も、酸化膜302、10w-k膜303、窒化シリコン膜304、10w-k膜305、窒化シリコン膜306及び下層の配線となる下地307が形成されている。

【0101】図17では、先ず、溝加工用のレジストマスク301を露光現像で形成し、プラズマエッティングで酸化膜302と10w-k膜303をエッティングし、溝308を形成する。この時のエッティングは、10w-k膜303の下地に相当するストッパー層の窒化シリコン層304で停止する。次に、レジストマスク309を塗布して露光現像し、プラズマエッティングを行い、レジストマスク309を除去すると、穴310が形成される。最後に下地307とのコンタクトを取るため、窒化シリコン膜306をエッティングする。この後、開口部(310)にアルミニウムや銅などの配線材料を埋め込み、上部を平坦化して配線が形成される。

【0102】また、図18では、穴加工用のレジストマスク301を露光現像で形成し、プラズマエッティングで酸化膜と10w-k膜をエッティングし、穴310を形成する。この時のエッティングは、10w-k膜305の下地に相当するストッパー層の窒化シリコン膜306で停止する。次に、溝加工用のレジストマスク311を露光現像し、プラズマエッティングを行いレジストマスクを除去すると、溝308が形成される。最後に下地307とのコンタクトを取るため、窒化シリコン膜306をエッティングする。この後、開口部にアルミニウムや銅などの配線材料を埋め込み、上部を平坦化して配線が形成される。

【0103】図17、図18のダマシンプロセスによれば、短時間で終点判定システムが立ち上がり、短時間刻みの終点判定が可能なので、このシステムを用いて窒化シリコン膜までのエッティング終点を判定して所定のオーバーエッティングを実施することにより、ストッパー層などの薄膜の過剰エッティングを抑制し、高精度なエッティング結果を得ることができる。

【0104】次に、図19を用いて、図16のストッパー

一層である窒化シリコン膜202が形成されていない場合のデュアルダマシンプロセスを説明する。穴加工用のマスクが形成されたレジスト401、酸化膜402、10w-k膜403、窒化シリコン膜404、下地405が形成された層をエッティングする。始めに、窒化シリコン膜404まで達する穴406を10w-k膜403にプラズマエッティングで形成する。次にレジストを塗布して露光現像し、溝加工用のマスクが形成されたレジスト407とする。このレジスト407をマスクに溝を加工するが、10w-k膜403に所定の溝深さが形成された時点でエッティングを停止する。この10w-k膜403は一様なので、窒化シリコン膜に達した時点を終点とするような終点判定はできない。したがって、エッティング速度を予め測定しておき、エッティング時間を管理することで溝深さまでエッティングを実施する。この場合のエッティングは、ウェハ面内のエッティング速度均一性および再現性が厳しく要求される。

【0105】本発明の終点判定システムのように、短時間で測定準備の立ち上げが可能で判定時間刻みも短いような高精度システムで、かつプラズマの僅かな変化（僅かなエッティング特性の変動）をも判定することが可能なシステムを使用することにより、以下の方法が可能となり、より高精度な溝加工が可能となる。すなわち、図20に示したような10w-k膜構造を導入する。酸化膜501、10w-k膜502、界面503、10w-k膜504、窒化シリコン膜505、下地506から形成された層構造とする。この時、10w-k膜502と10w-k膜504は膜種の異なる低誘電体材料とする。なお、同じ膜種であっても僅かに仕様が異なるものや、10w-k膜504を形成した後、一旦膜形成を中断して大気に晒したり、表面状態がバルクと異なるようなプロセスとし、10w-k膜502と504の間に界面503が形成されることが重要である。この構造では、界面503が形成されているものの、構成膜材料は全て低誘電率材料なので、膜全体の誘電率を低く維持することが可能である。

【0106】次に、この膜をプラズマエッティングするが、マスク材は図19等と同様なので省略した。図19の溝加工工程からスタートし、界面503に溝深さが達したとき、バルクと界面503ではエッティング特性が僅かに変化する。本発明の終点判定システムを用いると界面503に達した時間を判定できるので、この時点でエッティングを終了すると、界面503を溝深さとしたストッパー層の窒化シリコンが挿入されないデュアルダマシン構造が完成する。この場合の終点判定に要求される性能は、界面503のエッティングは極短時間で終了するので、プラズマの僅かな変化を高精度で検出することができるばかりでなく、短い時間刻みでプラズマ発光を計測して変化量を判断することができなければならない。なお、本発明の終点判定システムは上記の要求を満足する

21

ことができるという特徴がある。なお、508は下地506とのコンタクト用の穴である。

【0107】次に、セルフアラインコンタクト技術への本発明の適用例を示す。図21はセルフアラインコンタクトのエッティング前の断面図であり、図22はエッティング後の断面図である。従来のコンタクトホールはゲート間の距離分より若干小さい距離に設計され、リソグラフィの位置合わせのズレを解消するようにしている。これに対し、図21、図22に示したように、本発明のセルフアラインコンタクト構造では、ゲートの上面と側面に絶縁膜を形成するので、ゲート上にコンタクトホールが重なっても絶縁膜で保護されるようになっている。したがって、リソグラフィの位置ズレに対する裕度が大きく取れるので、ゲート電極間距離を従来より狭めた設計が可能となっている。

【0108】図21のセルフアラインコンタクトは、レジスト601、TEOSやBPSGなどの酸化膜602、SOGなどの酸化膜603、窒化シリコン膜604、下地605、ゲート606の膜構造となっている。ゲート606の間が最終的なコンタクトを取る領域であり、本実施例の膜構造では、窒化シリコン膜604に穴底607が形成されている。したがって、酸化膜602のエッティングが終了した後、窒化シリコン膜607の除去工程が必要である。セルフアラインコンタクト膜のプラズマエッティングは、CF系のガスを使用したプロセスが開発されていて、エッティング特性に関する研究例も多数報告されているので、ここではエッティングについての記載は省略する。

【0109】エッティングの課題は、図22に示したように、レジストの穴底(607に対応)の削れが顕著であることや、窒化シリコン膜604の肩の部分608が削れてしまう問題などがある。特に、酸化膜エッティングでは、エッティングを繰り返し実施していると、エッティング室内壁の温度が変動したり、内壁へのエッティングガスやエッティング反応生成物の堆積特性が変動したり内壁からのガス放出挙動が変化したりといった現象により、エッティング特性が変化し、場合によっては下地までエッティングができなくなることもある。この現象は、エッチストップと呼ばれることもある。エッチストップが発生すると、デバイス不良が多量に発生するため、絶対に防止しなければならない。それに加えて、発生した場合に現象を検出することも重要である。

【0110】本発明の終点判定システムを用いた場合は、短時間でプラズマ発光の変化、すなわちエッティング特性の変化を測定することができるとともに、プラズマ変化の測定時間刻みが短いので、僅かなエッティング特性の変動検出の時間精度も高い。この様な特徴を利用し、図21の状態でエッティングを開始した時点から酸化膜602のエッティングが進行し、酸化膜603の上面(酸化膜602と酸化膜603の界面)に達した時間を測定す

22

る。このデータと予め測定してある酸化膜602の膜厚からエッティング速度を求め、それを酸化膜602のエッティング速度データとして記録したり、保存したりする。また、それまでにエッティングした場合のエッティング速度データとこのデータを比較することで、エッティング装置の経時的な変化を知ることができる。これを、たとえばエッティング装置のコントロールパネルに表示し、装置の安定性を確認しながら生産を続けることも歩留まり向上に効果がある。

【0111】本発明の方法によれば、エッティング速度がエッティングを実施しながら簡便に測定できるので、装置安定稼動のモニタとしても活用できる。次に、酸化膜603をエッティングしてゲート間の狭い領域をエッティングすることになるが、肩の部分608のエッティングを抑制して選択比向上を図ったり、窒化シリコン膜604の穴底607に達した後のオーバーエッティング時間を定めたりする場合の基礎データに、上記の方法で求めたエッティング速度を使用することも可能である。また、ゲート間の酸化膜603のエッティング速度を同じような方法で求め、エッティング特性の安定性確認やエッチストップの発見に役立てることもできる。なお、膜厚が事前にわかっていない場合でも、エッティング時間がウエハ毎にどの程度変化しているかを調べることで、ロット内のエッティング特性の安定性確認を行うことができる。これも、前述したように、装置のコントローラーに表示させて常時モニタすることも可能であり、これにより、プロセス条件変更時期や全掃期間を決定できる。

【0112】本発明のもう一つの実施例は、短時間に測定準備が可能で短い時間刻みで終点判定できるという特徴を活かしたものである。セルフアラインコンタクトのエッティングが終了した状態を示した図22において、窒化シリコン膜604をエッティングにより除去し、下部(下地605)と上部とのコンタクトを形成する場合に、本発明の終点判定システムを用いた短時間高精度終点判定を実施する。窒化シリコン膜604の底607が非常に薄いため、エッティング終点が正確に判定できなければ、下地605がエッティングされ過ぎてしまう。エッティング時間は10数秒と短いので、従来以上にプラズマ計測準備時間を短くしなければならないが、本発明の終点判定システムを使用することで、問題なく終点を判定できる。

【0113】また、図1の実施例では、チャンバ2内に発生したプラズマからの特定波長の発光を分光器12にて得ているが、分光器12の代わりに特定波長領域の光を通過させ、その他の波長領域の光は阻止もしくは大幅に減衰させる光学フィルタを用いても同じ効果が得られる。

【0114】さらに、チャンバ2内に発生したプラズマからの特定波長の発光量の時系列信号を得る方法として、図1の実施例では分光器と光電子増倍管を用いる例

を示したが、特開昭59-18424号公報に記載されている様に、スリット、グレーディング及びラインセンサを用いて多波長に対応した信号をA/D変換器によりデジタル化し、所定周期毎に記憶装置に蓄えると共に、所望波長に対応したデータを所定周期毎に取り出すことによっても行うことができる。このシステムでは、色々の所望波長を電子的に設定できる利点がある。

【0115】なお、スリット、グレーディング及びラインセンサを用いた場合、ラインセンサの走査スタート信号の間隔を長くすると蓄積される電荷が増大し、出力信号が大きくなる性質があるため、ラインセンサからの出力信号の大きさをモニタリングし、その最大値を所定の値になる様にラインセンサの走査スタート信号の間隔を調節することにより、自動ゲイン調節ができる。

【0116】また、ラインセンサの素子数が所望の波長精度に対して不十分な場合は、内挿することにより波長精度を向上することができる。

【0117】このシステムにおけるグレーディング毎の特性のバラツキは、リニアセンサ面に分光される光の波長のばらつきになる。このため、スリットに入力する光として、チャンバーからの光の外に既知の光スペクトルを有する較正用標準光源からの光も入力可能とし（例えば二又ファイバの使用）、定期的に較正用標準光源をONして、上記記憶装置に蓄えられるデータの対応波長の較正を行うこともできる。

【0118】なお、本実例はプラズマを用いたエッチング終点判定について述べたが、同じくプラズマを用いたクリーニングの終点判定にも有効であり、エッチング処理後のプラズマクリーニングやプラズマCVD後のプラズマクリーニングの終点判定にも適用、すなわち、プラズマ処理の終点判定に適用でき、次の特徴を有する。

【0119】(1)発光分光法を用いたプラズマ処理の終点判定において、特定波長の発光強度の時系列データを得るA/D変換手段と、該時系列データを平滑化処理する第1のデジタルフィルタリング手段と、該平滑化時系列データの微係数を求める微分演算手段と、更に、算出された微係数の時系列データを平滑化処理する第2のデジタルフィルタリング手段と、該平滑化微係数値と予め設定された値とを比較し、プラズマ処理の終点を判定する判別手段を備えたことを特徴とするプラズマ処理終点判定装置。

【0120】(2)上記のプラズマ処理終点判定装置において、プラズマ処理の異常を検出する手段と、この異常検出時に前記平滑化時系列データと前記微係数の時系列データと前記平滑化微係数時系列データとをそれぞれ修正する、第1デジタルフィルタリング補正手段と、前記微分演算補正手段と、第2デジタルフィルタリング補正手段とを備えたことを特徴とするプラズマ処理終点判定装置。

【0121】(3)発光強度の微係数の時系列データによ

りプラズマ処理の終点を判定する方法において、前記微係数の時系列データの変遷を示す表示手段と、異常検出時に前記微係数の時系列データ表示上に異常を示す表示手段を備えたことを特徴とするプラズマ処理終点判定装置。

【0122】

【発明の効果】以上、本発明によれば、発光強度の変化を精度良く算出することができるので、非常に安定性のよいエッチング処理終点を判定できる絶縁膜のエッティング方法を提供することができる。

【0123】また、本発明によれば、目標とする光電子増倍管の出力電圧に対しセンス電圧値を関係式を用いて導き使用することで目標とする光電子増倍管の出力電圧に対しセンス電圧値を正確に求めることができる。従って、開口率が小さい半導体ウェハであっても、半導体ウェハのエッ칭終点を安定に検出するためのエッティング終点検出に用いる信号を、ウェハ間でばらつくことなく一定値へ再現性よく制御する方法を提供できる。

【0124】また、本発明によれば、終点判定のための微係数算出処理を行う終点判定において、微係数算出処理の前段と後段にデジタルフィルタリング処理を設けることにより、効果的に光検出器からのサンプリング信号のノイズ低減が行え、安定性の良い終点判定が可能となる。また、エッティング処理異常時に前段のデジタルフィルタリング処理と微係数算出処理及び後段のデジタルフィルタリング処理において係数補正処理を設けることにより、より効果的に光検出器からのサンプリング信号のノイズ低減が行え、安定性の良い高精度な終点判定が可能となる。

【0125】さらに、本発明によれば、終点判定を正確に実行できるので、時間管理のエッティングに比較して、オーバーエッティングを少なく設定できるという効果がある。その結果、過剰な下地層の削れを抑制できる。また、オーバーエッティング時間を短縮できるので、その分のスループット向上が期待できる。さらに、エッティング時間の経時的な変化をモニタできるので、エッティング装置の異常を早期に発見することができ、エッティング不良の大量発生を未然に防止できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例になるエッティング終点判定装置のシステム系統図である。

【図2】図1の装置における処理手順の第1の実施例を示すダイアグラム図である。

【図3】図2の処理手順の中の、オフセット制御及びゲイン補正のフローチャート例を示す図である。

【図4】オフセット制御およびゲイン制御を行わない従来例の発光変動測定結果例を示す図である。

【図5】本発明のオフセット制御およびゲイン制御を行った場合の発光変動測定結果例を示す図である。

【図6】光電子増倍管の増倍率特性を示すグラフであ

る。

【図7】センス電圧およびゲイン補正のフローチャート例を示す図である。

【図8】センス電圧およびゲイン補正の他の例のフローチャート図である。

【図9】本発明の平滑化微係数時系列データD_iの算出フローを説明する図である。

【図10】図1の装置のデジタルフィルタ手段を使用しない場合の元波形及び処理波形を示す波形図である。

【図11】図1の装置の元波形及び処理波形を示す波形図である。

【図12】図9の処理手順に従いノイズが生じた場合の元波形及び処理波形を示す波形図である。

【図13】本発明の平滑化微係数時系列データD_iの算出フローの、第2の実施例における処理手順を示すダイアグラム図である。

【図14】図13の実施例の元波形及び処理波形を示す波形図である。

【図15】図1の装置における処理手順の第2の実施例を示すダイアグラム図である。

【図16】セルフアラインデュアルダマシンプロセスの例を示す図である。

* 【図17】溝を先に加工するダマシンプロセスの工程例を示す図である。

【図18】穴を先に加工するダマシンプロセスの工程例を示す図である。

【図19】穴と溝の境界層が形成されていない場合のプロセスの工程例を示す図である。

【図20】low-k膜構造を導入したプロセスの工程例を示す図である。

【図21】セルフアラインコンタクト技術への本発明の適用例を示す図であり、セルフアラインコンタクトのエッチング前の断面図である。

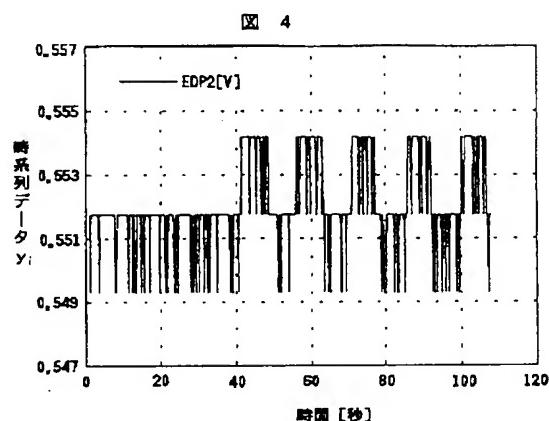
【図22】セルフアラインコンタクト技術への本発明の適用例を示す図であり、セルフアラインコンタクトのエッチング後の断面図である。

【符号の説明】

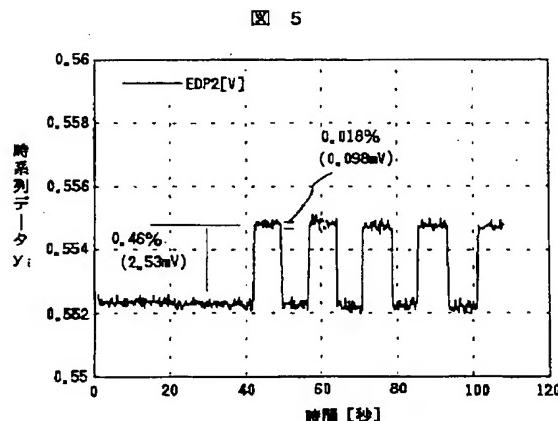
1…エッチング装置、2…エッチングチャンバ、10…エッチング終点判定検出装置、11…光検出器11、15…オフセット(加算回路)15、16…ゲイン(乗算回路)、17…A/D変換器、18…デジタルフィルタ回路、19…微係数演算回路、20…デジタルフィルタ回路、21…RAM、22…判定回路、23…DA変換器、30…CPU。

*

【図4】

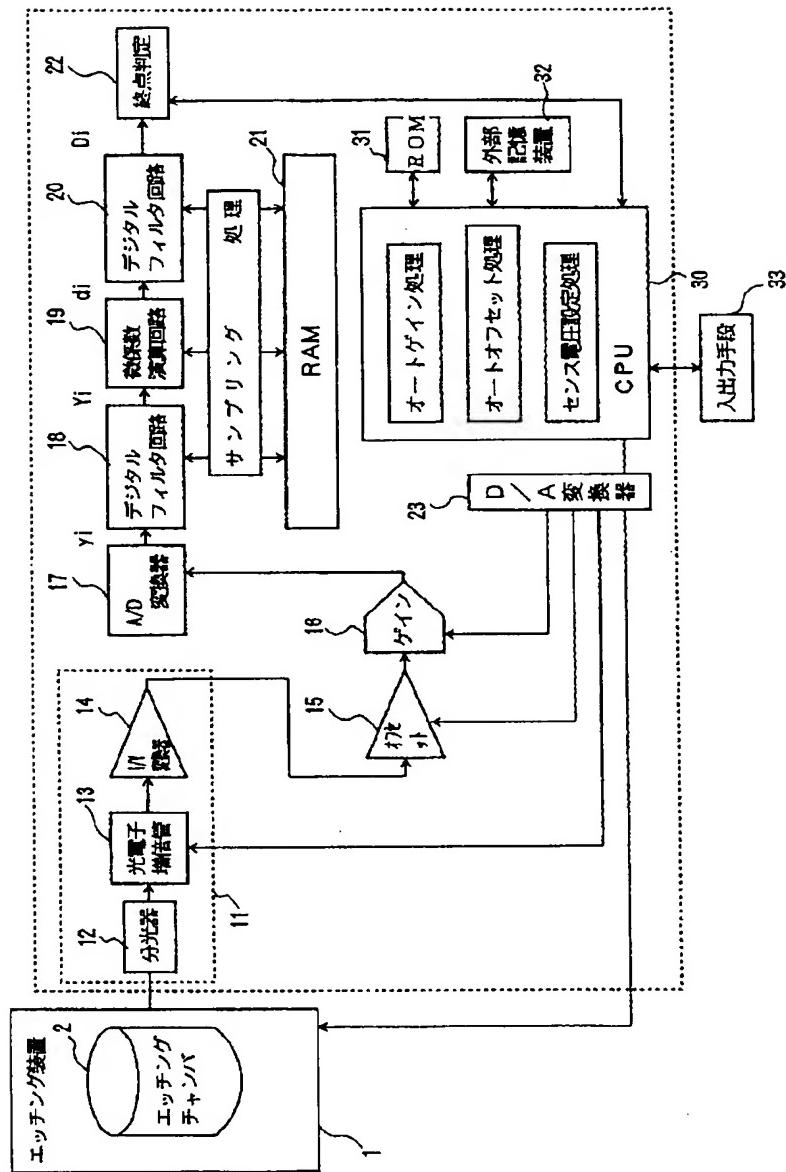


【図5】



[図1]

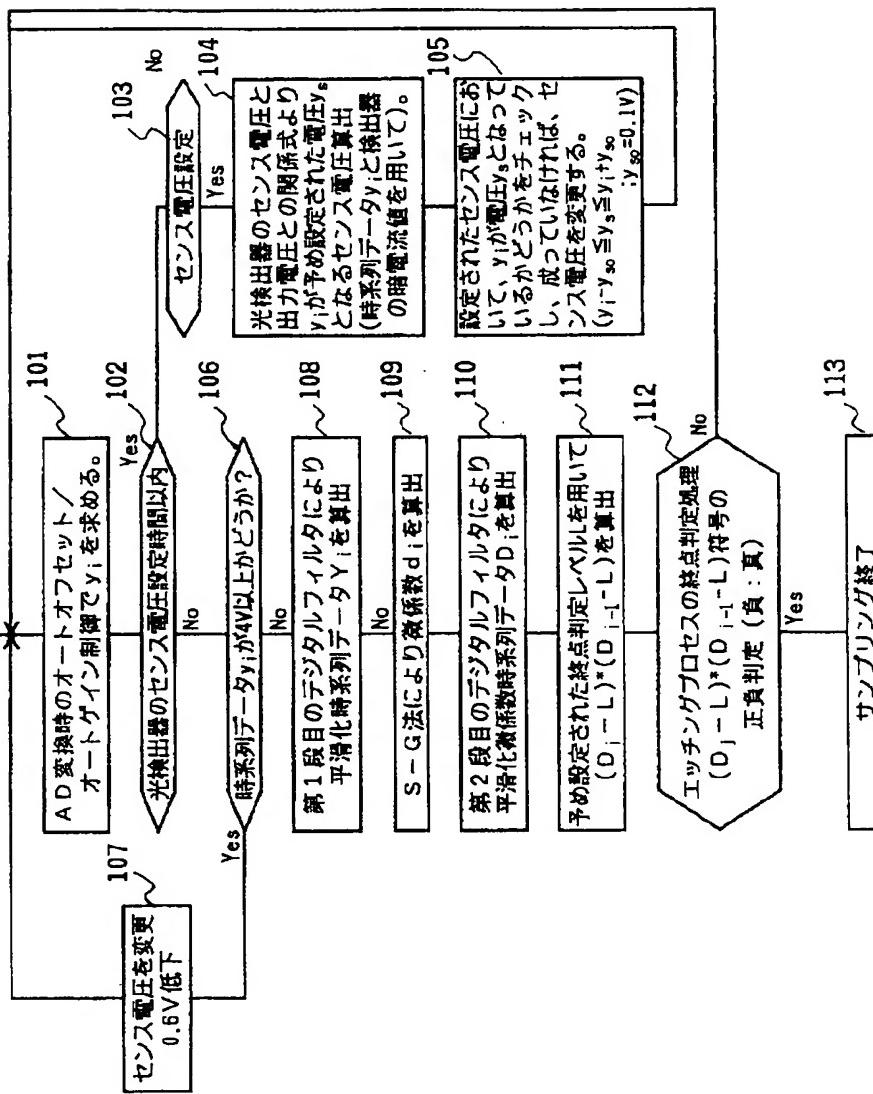
図 1



【図2】

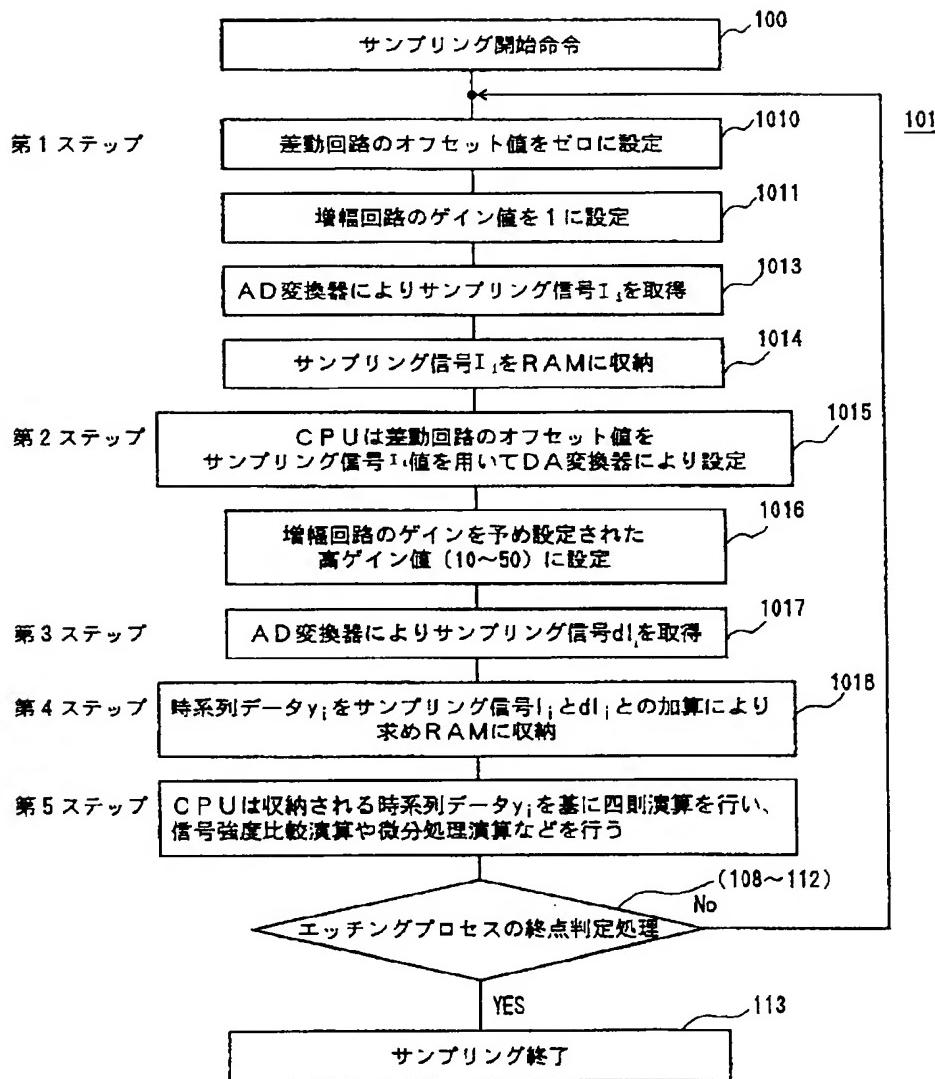
図 2

[サンプリング開始命令(エッキング処理開始)～



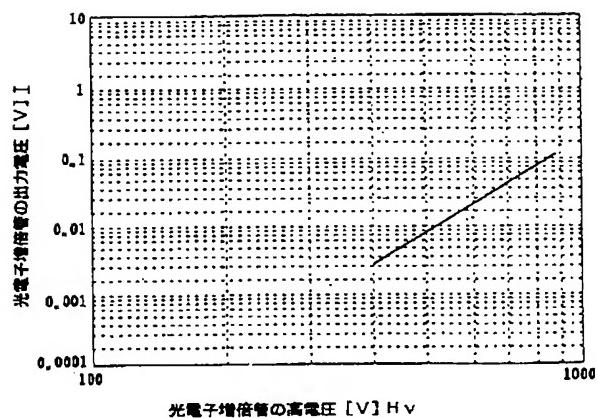
[図3]

図 3



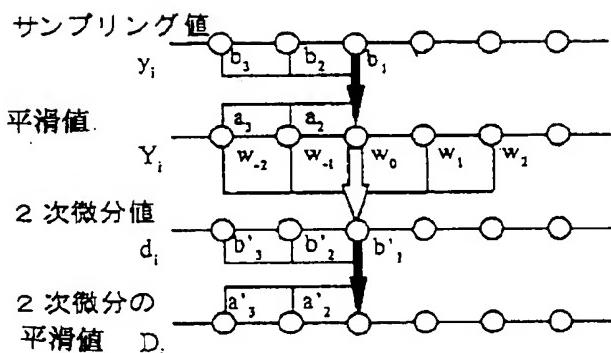
【図6】

図 6



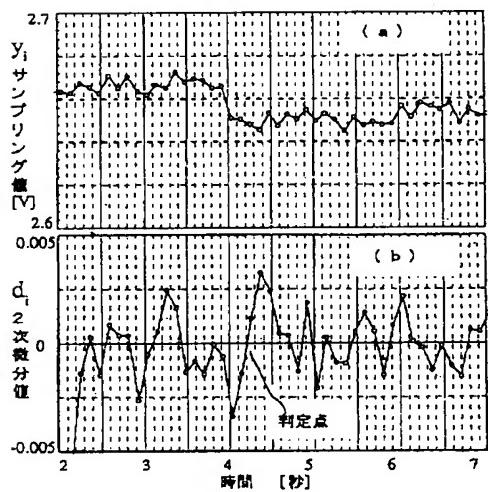
【図9】

図 9



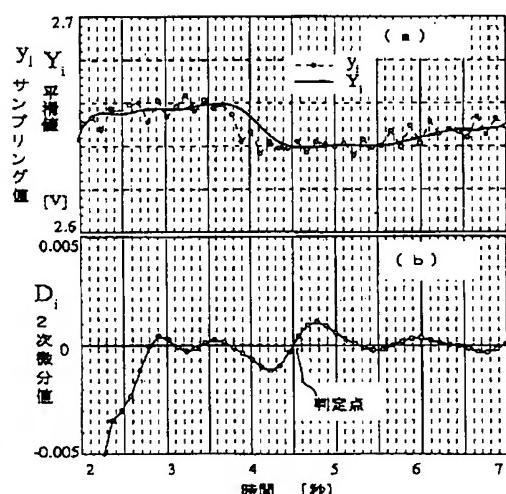
【図10】

図 10



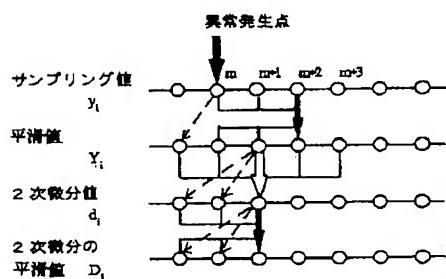
【図11】

図 11



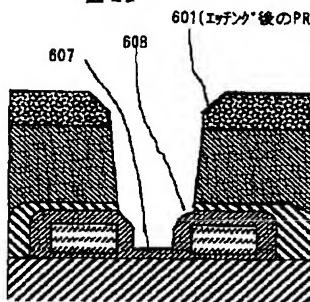
【図13】

図 13



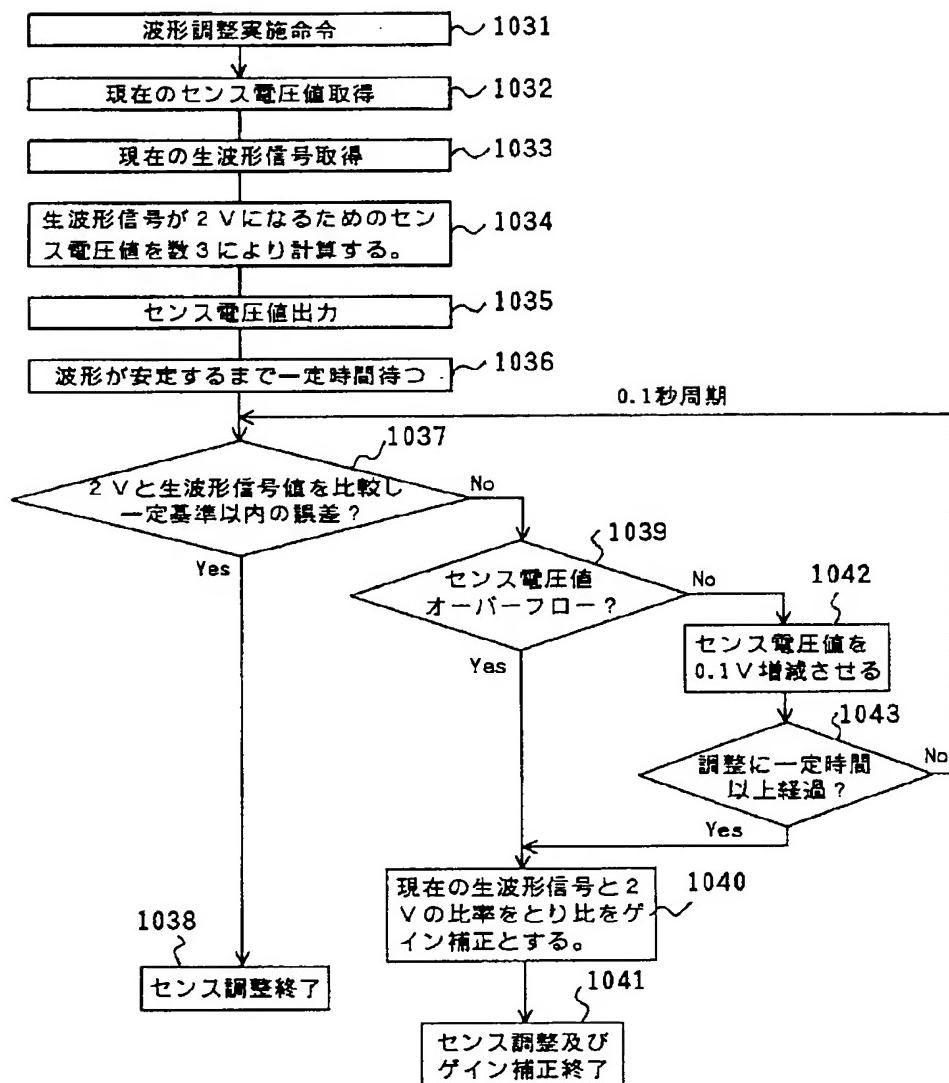
【図22】

図 22



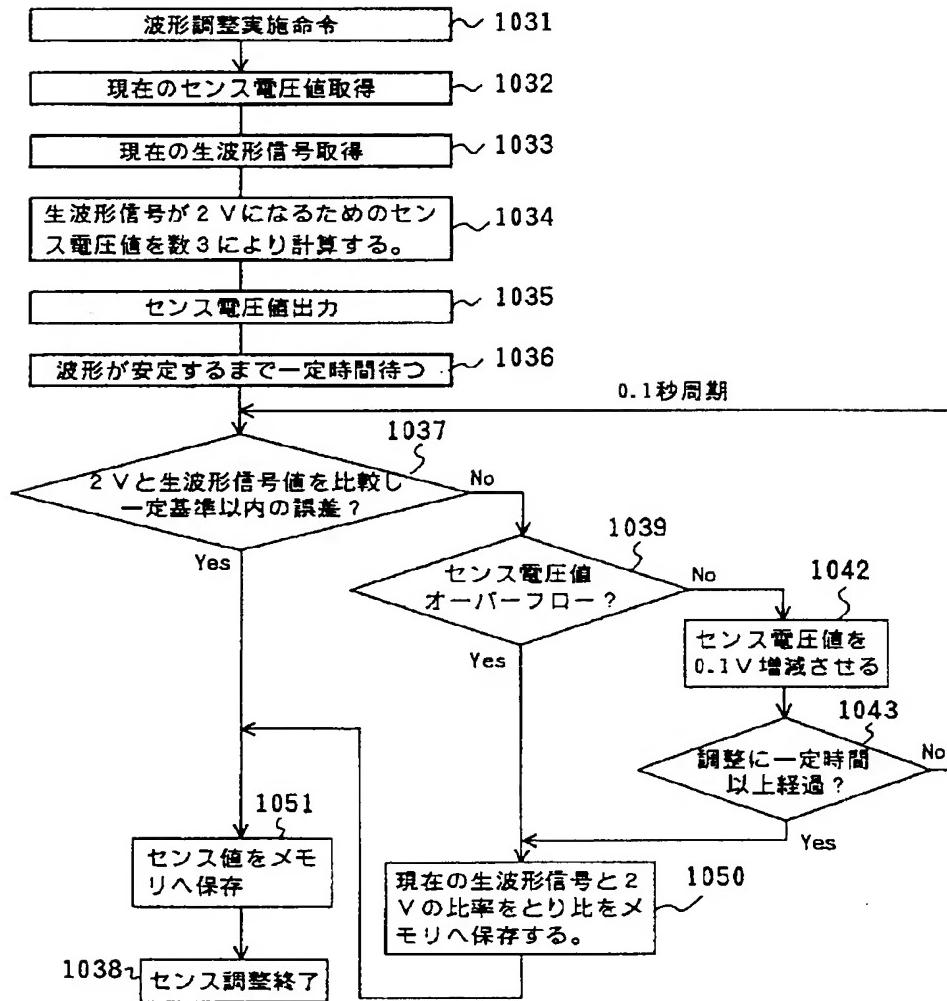
【図7】

図 7



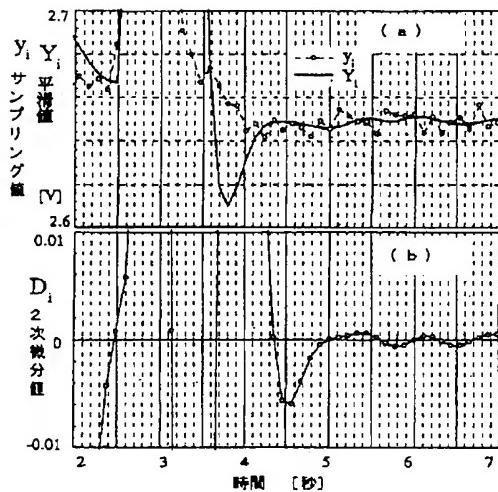
【図8】

図 8



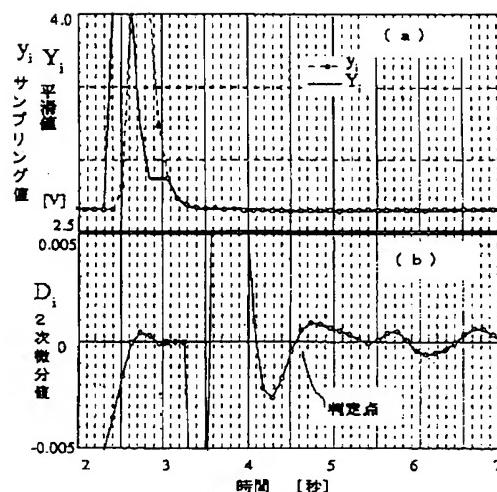
【図12】

図12



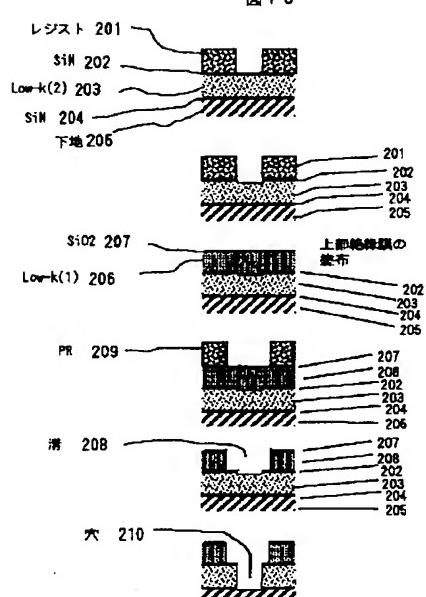
【図14】

図14

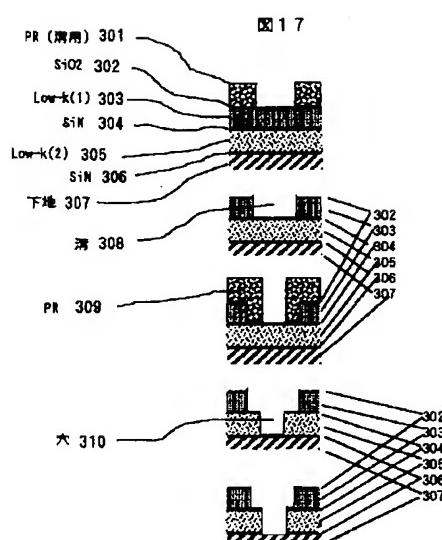


【図16】

図16

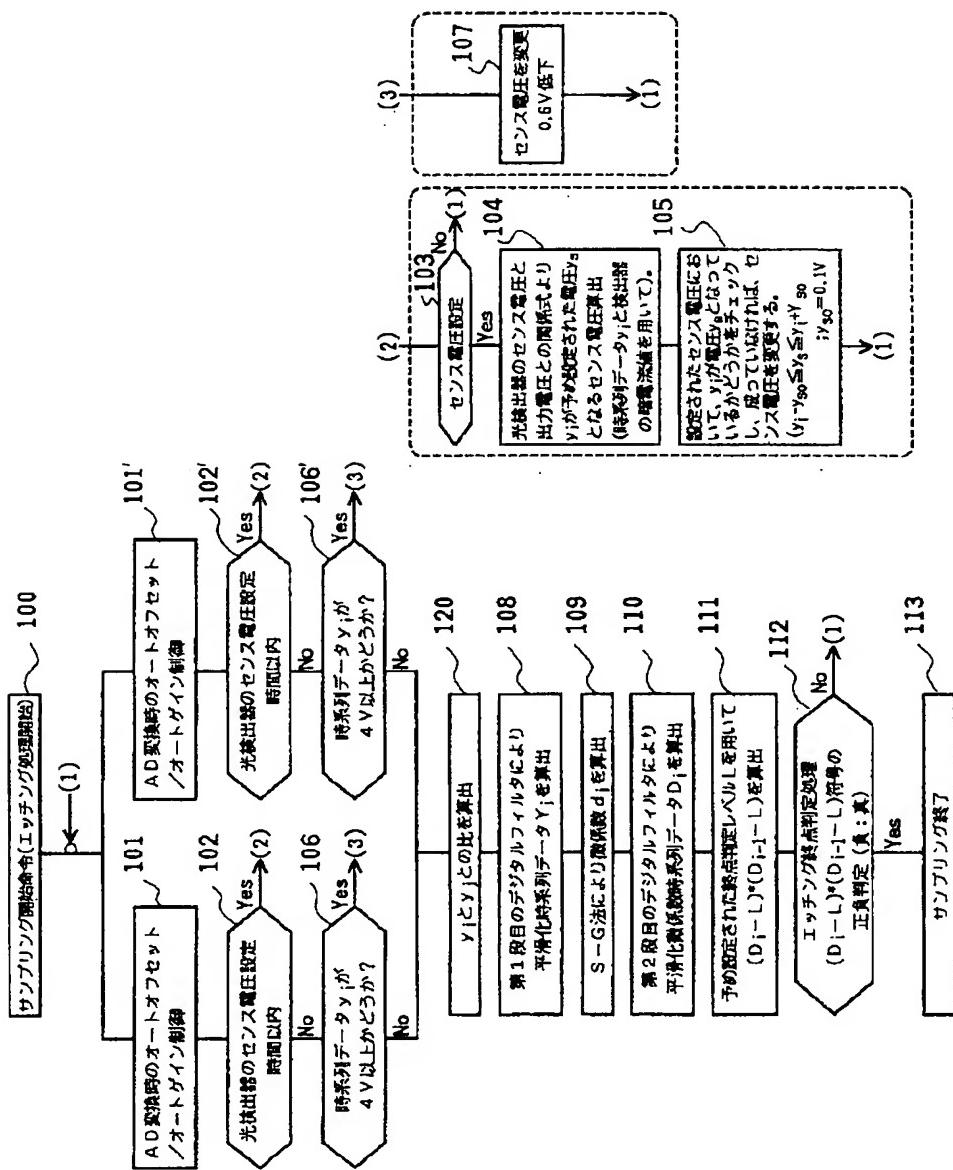


【図17】

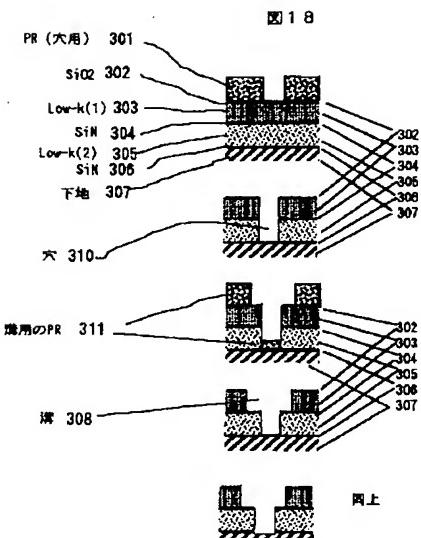


【図15】

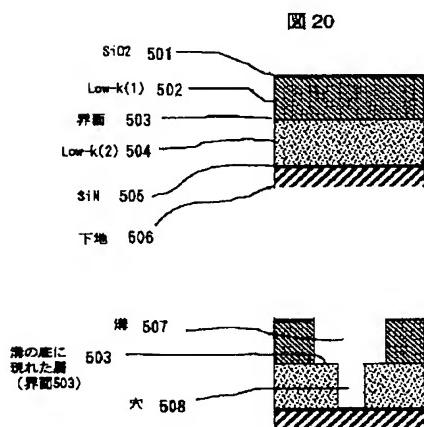
図 15



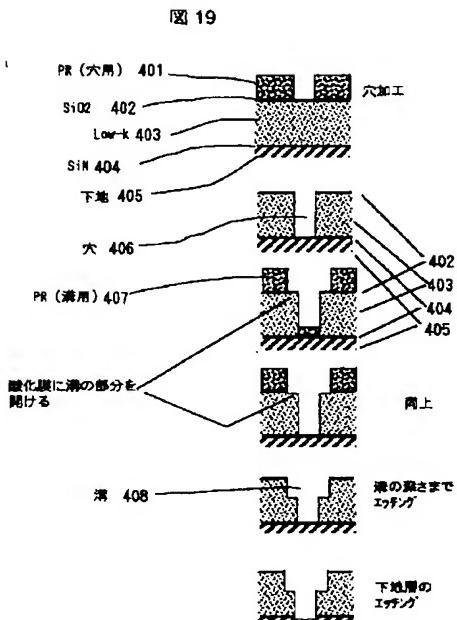
【図18】



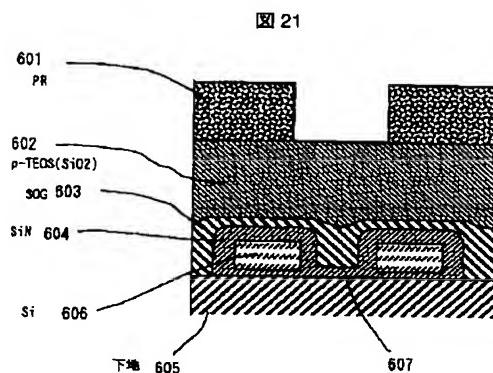
【図20】



【図19】



【図21】



フロントページの続き

- (72)発明者 吉岡 健
山口県下松市大字東豊井794番地 株式会社日立製作所笠戸工場内
- (72)発明者 幾原 祥二
山口県下松市大字東豊井794番地 日立テクノエンジニアリング株式会社笠戸事業所内
- (72)発明者 西畠 廣治
山口県下松市大字東豊井794番地 株式会社日立製作所笠戸工場内

- (72)発明者 高橋 主人
山口県下松市大字東豊井794番地 株式会社日立製作所笠戸工場内
- (72)発明者 加治 哲徳
山口県下松市大字東豊井794番地 株式会社日立製作所笠戸工場内
- (72)発明者 中元 茂
山口県下松市大字東豊井794番地 株式会社日立製作所笠戸工場内

F ターム(参考) SF004 AA16 CB02 CB16 CB17 CB18
EB01 EB03
SF033 HH08 HH11 JJ01 JJ08 JJ11
MM01 MM02 QQ06 QQ09 QQ12
QQ25 QQ91 RR04 RR06 RR09
RR15 SS04 TT01 TT02 VV06
XX00 XX01